

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND  
MANUFACTURE THEREOF**

Patent Number: JP9129728  
Publication date: 1997-05-16  
Inventor(s): KONISHI NOBUHIRO; SAITO TATSUYUKI; TAGUMA YUICHIRO; ITO  
HIDEFUMI  
Applicant(s):: HITACHI LTD  
Requested Patent: ☐ JP9129728  
Application  
Number: JP19950284859 19951101  
Priority Number(s):  
IPC Classification: H01L21/768 ; H01L21/304 ; H01L21/3205  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide a semiconductor integrated circuit device and a high performance manufacturing method of the device.  
**SOLUTION:** After an interlayer insulating film 11 is formed on a substrate 9, wherein a plurality of semiconductor elements are formed, the interlayer insulating film 11 is flattened by using a CMP (chemical machine polishing) method. Then, flaws are covered by forming an insulating film 12 on the interlayer insulating film 11 where the polishing flaws are formed by the CMP method. Then, after a through hole 14 is formed in the selected regions of the interlayer insulating film 11 and the insulating film 12, a wiring layer 15 is formed on the surface of the insulating film 12.

Data supplied from the **esp@cenet** database - I2

AL

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-129728

(49)公開日 平成9年(1997)5月16日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/768			H01L 21/90	P
21/304	321		21/304	321S
21/3205			21/88	K

審査請求 未請求 請求項の数9 OL (全7頁)

(21)出願番号 特願平7-284858

(22)出願日 平成7年(1985)11月1日

(71)出願人 00005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小西 信博

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(72)発明者 斉藤 建之

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(72)発明者 田原 裕一郎

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

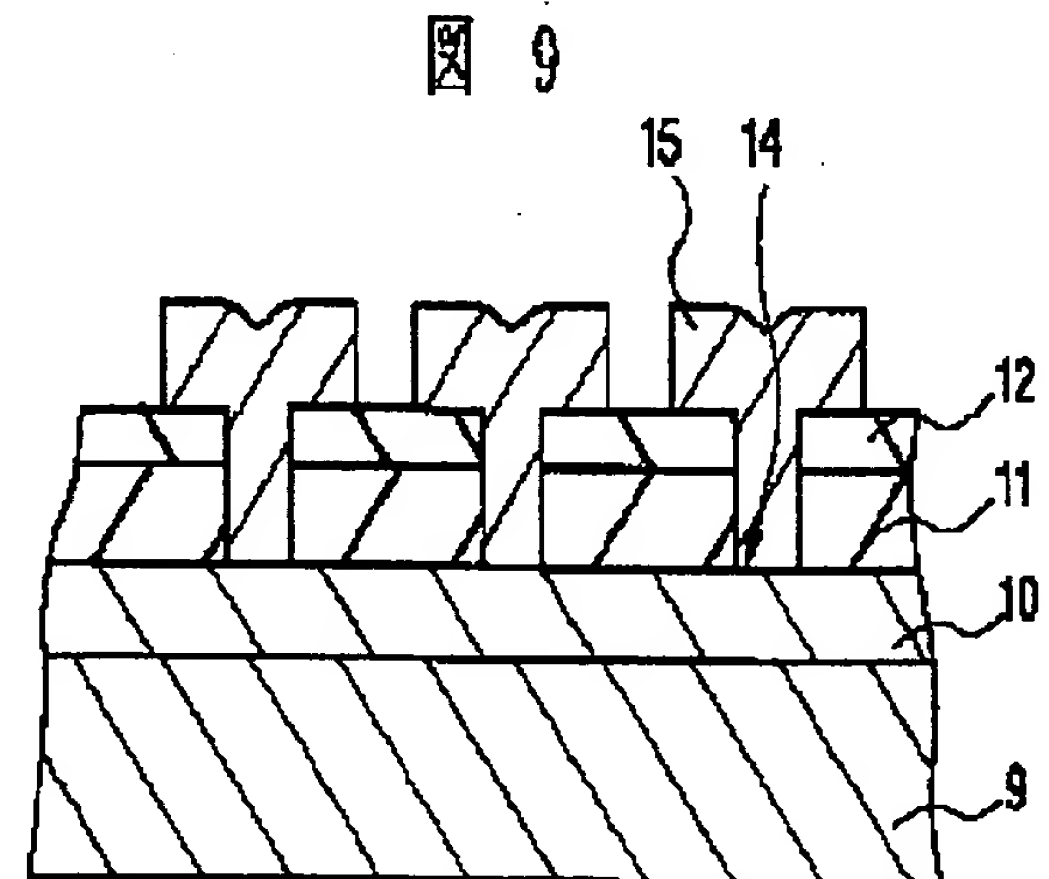
最終頁に続く

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 高性能でしかも容易に製造できる半導体集積回路装置およびその製造方法を提供する。

【解決手段】 複数の半導体素子が形成されている基体9の上に層間絶縁膜11を形成した後、CMP法を使用して層間絶縁膜11を平坦化する工程と、CMP法により研磨キズが形成された層間絶縁膜11の表面に絶縁膜12を形成することにより研磨キズを被覆する工程と、層間絶縁膜11および絶縁膜12の選択的な領域にスルーホール14を形成した後、絶縁膜12の表面に配線層15を形成する工程とを有するものである。



9:基体  
11:層間絶縁膜  
12:絶縁膜  
14:スルーホール  
15:配線層

# 【特許請求の範囲】

【請求項1】 複数の半導体素子が設けられている基体の上のCMP法により平坦化された第1の絶縁膜と、前記第1の絶縁膜の表面に設けられている第2の絶縁膜と、前記第2の絶縁膜の表面に設けられている配線層とを有することを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、前記第1の絶縁膜は、層間絶縁膜であることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置において、前記第2の絶縁膜は、SOG膜であることを特徴とする半導体集積回路装置。

【請求項4】 請求項1～3のいずれか1項に記載の半導体集積回路装置において、前記第2の絶縁膜は、有機材料を用いた絶縁膜であることを特徴とする半導体集積回路装置。

【請求項5】 複数の半導体素子が形成されている基体の上に第1の絶縁膜を形成した後、CMP法を使用して前記第1の絶縁膜を平坦化する工程と、前記第1の絶縁膜の表面に第2の絶縁膜を形成する工程と、前記第1の絶縁膜および第2の絶縁膜の選択的な領域にスルーホールを形成する工程と、前記第2の絶縁膜上に配線層を形成する工程とを有する半導体集積回路装置の製造方法。

【請求項6】 複数の半導体素子が形成されている基体の表面に第1の配線層を形成する工程と、前記第1の配線層の表面に層間絶縁膜となる第1の絶縁膜を形成した後、CMP法を使用して第1の絶縁膜を平坦化する工程と、前記第1の絶縁膜の表面に第2の絶縁膜を形成する工程と、前記第1の絶縁膜および第2の絶縁膜の選択的な領域にスルーホールを形成する工程と、前記第2の絶縁膜の表面に第2の配線層を形成する工程とを有する半導体集積回路装置の製造方法。

【請求項7】 請求項5または6記載の半導体集積回路装置の製造方法において、前記第2の絶縁膜は、回転塗布法を使用して形成する絶縁膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項5～7のいずれか1項に記載の半導体集積回路装置の製造方法において、前記第2の絶縁膜は、有機材料を用いた絶縁膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項5～8のいずれか1項に記載の半導体集積回路装置の製造方法において、前記第2の絶縁膜は、有機材料を用いた絶縁膜であり、前記第1の絶縁膜および第2の絶縁膜にスルーホールを形成する際に、異方性アッシャ処理を行うことを特徴とする半導体集積回路装置の製造方法。

# 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造方法に関する。

## 【0002】

【従来の技術】近年、半導体集積回路装置の高集積化、高速化および低消費電力化などを行うために種々の検討がなされている。

【0003】ところで、本発明者は、半導体集積回路装置の層間絶縁膜の製造方法について検討した。以下は、本発明者によって検討された技術であり、その概要は次のとおりである。

【0004】すなわち、半導体素子が形成された半導体基板の上に層間絶縁膜を形成した後、化学的機械研磨（CMP：Chemical Mechanical Polishing）法を使用して層間絶縁膜を研磨して平坦化を行っている。

【0005】この場合、CMP法により発生する層間絶縁膜の研磨キズを防止するために、軟らかいパッドを用いた仕上げ研磨を行っている。

【0006】なお、半導体集積回路装置における絶縁膜の形成技術について記載されている文献としては、例えば平成元年11月2日、（株）プレスジャーナル発行、「'90最新半導体プロセス技術」p291～p295に記載されているものがある。

## 【0007】

【発明が解決しようとする課題】ところが、前述した半導体集積回路装置の層間絶縁膜の製造方法において、仕上げ研磨の顕著な効果を達成することができないと共に仕上げ研磨を採用するとスループットの低下の原因となることにより、研磨キズを防止した層間絶縁膜の平坦化作業が困難となっている。

【0008】また、CMP法を用いた層間絶縁膜の平坦化処理において、層間絶縁膜の研磨キズによる上層配線のショートおよび層間絶縁膜の耐圧低下を防止するために、軟らかいパッドを用いた仕上げ研磨を用いるしか方法がない。

【0009】したがって、CMP法を用いた層間絶縁膜の平坦化処理において、前述したように層間絶縁膜における研磨キズの発生を防止することができないことにより、研磨キズによる上層配線のショートおよび層間絶縁膜の耐圧低下を防止することが困難となっている。

【0010】本発明の目的は、高性能でしかも容易に製造できる半導体集積回路装置およびその製造方法を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、

以下のとおりである。

【0013】すなわち、本発明の半導体集積回路装置の製造方法は、複数の半導体素子が形成されている基体の上に層間絶縁膜などの第1の絶縁膜を形成した後、CMP法を使用して第1の絶縁膜を平坦化する工程と、CMP法により研磨キズが形成された第1の絶縁膜の表面に第2の絶縁膜を形成することにより研磨キズを被覆する工程と、第1の絶縁膜および第2の絶縁膜の選択的な領域にスルーホールを形成した後、第1の絶縁膜に形成されている研磨キズを被覆している第2の絶縁膜の表面に配線層を形成する工程とを有するものである。

【0014】したがって、本発明の半導体集積回路装置の製造方法によれば、第2の絶縁膜は、研磨キズが形成されている層間絶縁膜などの第1の絶縁膜の表面に形成されるものであることにより、研磨キズを埋め込む状態をもって被覆することができるので、層間絶縁膜などの第1の絶縁膜の上に形成される配線層が研磨キズを介してショートするのを防止できると共に層間絶縁膜などの第1の絶縁膜の耐圧の低下を防止することができる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、重複説明は省略する。

【0016】図1～図9は、本発明の一実施の形態である半導体集積回路装置の製造工程を示す断面図である。同図を用いて、本発明の半導体集積回路装置およびその製造方法を具体的に説明する。

【0017】まず、図1に示すように、例えばp型のシリコン単結晶からなる半導体基板1の表面の選択的な領域である素子分離領域に熱酸化処理を用いて酸化シリコン膜からなるフィールド絶縁膜2を形成する。なお、図示を省略しているがフィールド絶縁膜2の下に反転防止用のチャンネルストッパ層を形成している。

【0018】次に、図2に示すように、フィールド絶縁膜2によって囲まれた活性領域に酸化シリコンからなるゲート絶縁膜3を形成し、このゲート絶縁膜3の上に多結晶シリコンからなるゲート電極4を形成する。ゲート電極4は、半導体基板1の上に多結晶シリコン膜および酸化シリコン膜からなる絶縁膜5を順次堆積し、これらを順次エッチングして形成する。その後、ゲート電極4の側壁に例えば酸化シリコンなどからなるサイドウォール絶縁膜6を形成する。

【0019】次に、半導体基板1に例えばリン(P)などのn型の不純物をイオン注入してソースおよびドレインとなるn型の半導体領域7を形成する。

【0020】次に、図3に示すように、半導体基板1の上に絶縁膜8を形成する。絶縁膜8は、例えばCVD (Chemical Vapor Deposition)法により形成した酸化シリコン膜などを使用することができる。

【0021】前述した半導体集積回路装置の製造工程は、半導体基板1にnチャネルMOSFETを形成した形態であるが、半導体基板1にpチャネルMOSFET、バイポーラトランジスタ、容量素子などの種々の半導体素子を形成した態様を採用することができる。

【0022】また、前述した半導体集積回路装置の製造工程は、先行技術を種々組み合わせて行えるものである。本発明の半導体集積回路装置およびその製造方法の主要部は、半導体集積回路装置の配線構造における層間絶縁膜を形成することにある。このことを踏まえて、今後の図示を簡便化するために、前述した製造工程によって形成した半導体基板1をスターティングマテリアルとしてpチャネルMOSFETを形成したものを基体9として包括的に図示し、内部構造を有する基体9における内部構造を省略すると共に図示上の寸法を縮小して示すことにする。

【0023】次に、図4に示すように、基体9の上に形成されている絶縁膜8の表面に1層目の配線層10を形成する。1層目の配線層10は、例えばタングステン層をスパッタリング法により例えば0.5 $\mu$ m程度の膜厚をもって形成する。この配線層10の他の態様としては、例えばアルミニウム層、多結晶シリコン層またはそれらの層と高融点金属層を積層化したものなどの電気導電性のあるものを使用することができる。

【0024】なお、配線層10は、図示を省略している領域に、絶縁膜8に設けられているスルーホールを通して電気接続されている配線層を含んでおり、n型半導体領域7と電気接続される配線層などをも含んでいる。

【0025】次に、図示を省略しているが、フォトリソグラフィ技術および選択エッチング技術を用いて1層目の配線層10をパターン化する。

【0026】次に、図5に示すように、1層目の配線層10を被覆するように全面に層間絶縁膜11を形成する。層間絶縁膜11は、TEOS (テトラエトキシシラン) と酸素の反応 (TEOS系反応) を採用したCVD法によってステップカバレッジの優れている層間絶縁膜11を例えば1.5 $\mu$ m程度の膜厚をもって形成する。なお、層間絶縁膜11の他の態様としては、CVD法を用いた酸化シリコン膜などを使用することができる。

【0027】次に、図6に示すように、層間絶縁膜11の表面に凹凸があるので、平坦化処理としてCMP法を使用して層間絶縁膜11の表面を研磨する作業を行い、例えば0.5 $\mu$ m程度の膜厚をもって平坦化された層間絶縁膜11を形成する。この場合、層間絶縁膜11のCMP法を使用した平坦化処理は、複数回行うことにより、平坦度が高い層間絶縁膜11を形成することができる。

【0028】この製造工程により、層間絶縁膜11の表面に研磨キズが形成されるが、平坦化された層間絶縁膜11を形成することができる。

【0029】次に、図7に示すように、層間絶縁膜11



の表面に絶縁膜12を形成する。

【0030】絶縁膜12は、例えばスピナなどの回転塗布装置による回転塗布法を使用したSOG (Spin On Glass)膜を例えば0.3  $\mu\text{m}$ 程度の膜厚をもって形成する。この場合、SOG膜は、回転塗布法により形成していることにより、表面が平坦化された絶縁膜12を形成することができる。

【0031】また、絶縁膜12の材料としては、例えば4.0以下の誘電率の有機材料からなる有機シランなどの低誘電率の絶縁体を用いることにより、下層配線層と上層配線層との間に介在している絶縁膜としての電気特性を優れたものとすることができる。

【0032】この場合、絶縁膜12は、回転塗布法またはCVD法を使用した製造工程により、有機材料を使用した絶縁膜または無機材料を使用した絶縁膜を組み合わせることで積層構造の絶縁膜とすることができる。

【0033】また、絶縁膜12は、研磨キズが形成されている層間絶縁膜11の表面に形成されるものであることにより、研磨キズを埋め込むことができるので、後述する層間絶縁膜11の上に形成される配線層が研磨キズを介してショートするのを防止できると共に層間絶縁膜11の耐圧の低下を防止することができる。

【0034】さらに、絶縁膜12は、層間絶縁膜11の表面に形成されるものであることにより、層間絶縁膜11のステップカバレッジ不足によるボイドを埋め込むことができるので、層間絶縁膜11およびその上に形成される配線層の電気特性を優れたものにすることができる。

【0035】次に、図8に示すように、絶縁膜12の表面にフォトリソグラフ膜13を形成した後、フォトリソグラフィ技術および選択エッチング技術を用いて、フォトリソグラフ膜13をマスクとして絶縁膜12および層間絶縁膜11を選択的にエッチングすることにより、スルーホール14を例えば0.5  $\mu\text{m}$ 程度の直径をもって形成する。

【0036】この場合、絶縁膜12が有機材料を使用した絶縁膜である場合、異方性アッシュ処理を行うことにより、スルーホール14の側壁の有機材料からなる領域が無機化するのを防止することができるので、優れた電気特性を有する絶縁膜12とすることができる。

【0037】次に、図9に示すように、不要となったフォトリソグラフ膜13を取り除いた後、スルーホール14を有する層間絶縁膜11および絶縁膜12の上に2層目の配線層15を形成する。

【0038】配線層15は、例えばタングステン層をスパッタリング法により例えば1.0  $\mu\text{m}$ 程度の膜厚をもって形成する。この配線層15の他の態様としては、例えばアルミニウム層、多結晶シリコン層またはそれらの層と高融点金属層を積層化したものなどの電気導電性のあるものを使用することができる。

【0039】次に、フォトリソグラフィ技術および選択エッチング技術を用いて配線層15をパターン化する。

【0040】本実施の形態により形成した配線層15は、層間絶縁膜11に形成されている研磨キズが絶縁膜12により被覆されていることにより、CMP法による層間絶縁膜11の平坦化処理における研磨キズを原因とした配線層15のショート不良の発生を防止できるので、配線層15のショート歩留りは100%とすることができる。

【0041】次に、層間絶縁膜と配線層とを基体9の上に必要に応じて積層させた後、表面保護膜を形成すること（図示を省略）により、半導体集積回路装置の製造工程を終了する。

【0042】前述した本実施の形態の半導体集積回路装置の製造方法は、複数の半導体素子が形成されている基体9の上に層間絶縁膜11を形成した後、CMP法を使用して層間絶縁膜11を平坦化する工程と、CMP法により研磨キズが形成された層間絶縁膜11の表面に絶縁膜12を形成することにより研磨キズを被覆する工程と、層間絶縁膜11および絶縁膜12の選択的な領域にスルーホール14を形成した後、層間絶縁膜11に形成されている研磨キズを被覆している絶縁膜12の表面に配線層15を形成する工程とを有するものである。

【0043】したがって、本実施の形態の半導体集積回路装置の製造方法によれば、絶縁膜12は、研磨キズが形成されている層間絶縁膜11の表面に形成されるものであることにより、研磨キズを埋め込む状態をもって被覆することができるので、層間絶縁膜11の上に形成される配線層15が研磨キズを介してショートするのを防止できると共に層間絶縁膜11の耐圧の低下を防止することができる。

【0044】また、本実施の形態の半導体集積回路装置の製造方法によれば、CMP法により発生する層間絶縁膜11の研磨キズを防止するために、軟らかいパッドを用いた仕上げ研磨を行う必要がないことにより、スルーホールの低下を防止できるので、高性能な半導体集積回路装置を容易に製造することができる。

【0045】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0046】たとえば、半導体素子を形成する半導体領域は、SOI (Silicon on Insulator) 基板における半導体領域などを使用することができ、MOSFET、CMOSFETおよびバイポーラトランジスタなどの種々の半導体素子を組み合わせた態様の半導体集積回路装置およびその製造方法とすることができる。

【0047】また、CMP法を使用して平坦化処理を行う絶縁膜は、下層配線層と上層配線層との間に介在して

いる層間絶縁膜以外に半導体基板の上に形成されている絶縁膜などの種々の絶縁膜に適用できる。

【0048】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0049】(1). 本発明の半導体集積回路装置の製造方法は、複数の半導体素子が形成されている基体の上に層間絶縁膜などの第1の絶縁膜を形成した後、CMP法を使用して層間絶縁膜などの第1の絶縁膜を平坦化する工程と、CMP法により研磨キズが形成された第1の絶縁膜の表面に第2の絶縁膜を形成することにより研磨キズを被覆する工程と、第1の絶縁膜および第2の絶縁膜の選択的な領域にスルーホールを形成した後、第1の絶縁膜に形成されている研磨キズを被覆している第2の絶縁膜の表面に配線層を形成する工程とを有するものである。

【0050】したがって、本発明の半導体集積回路装置の製造方法によれば、第2の絶縁膜は、研磨キズが形成されている層間絶縁膜などの第1の絶縁膜の表面に形成されるものであることにより、研磨キズを埋め込む状態をもって被覆することができるので、第1の絶縁膜の上に形成される配線層が研磨キズを介してショートするのを防止できると共に第1の絶縁膜の耐圧の低下を防止することができる。

【0051】(2). 本発明の半導体集積回路装置の製造方法によれば、CMP法により発生する層間絶縁膜などの第1の絶縁膜の研磨キズを防止するために、軟らかいパッドを用いた仕上げ研磨を行う必要がないことにより、スルーホールの低下を防止できるので、高性能な半導体集積回路装置を容易に製造することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装

置の製造工程を示す断面図である。

【図2】本発明の一実施の形態である半導体集積回路装置の製造工程を示す断面図である。

【図3】本発明の一実施の形態である半導体集積回路装置の製造工程を示す断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造工程を示す断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の製造工程を示す断面図である。

【図6】本発明の一実施の形態である半導体集積回路装置の製造工程を示す断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の製造工程を示す断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の製造工程を示す断面図である。

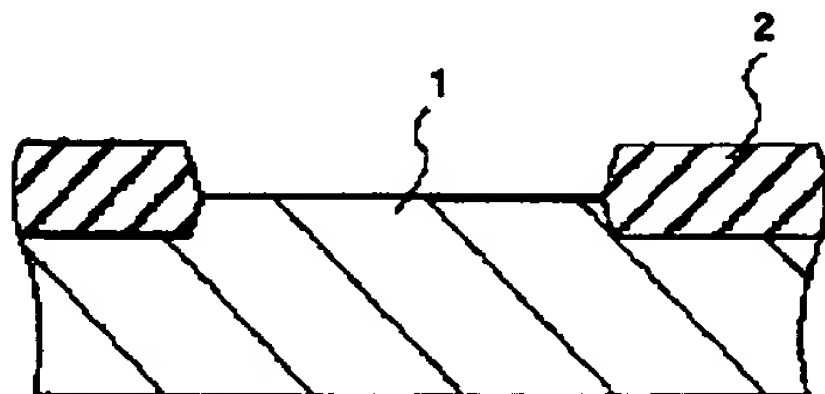
【図9】本発明の一実施の形態である半導体集積回路装置の製造工程を示す断面図である。

【符号の説明】

- 1 半導体基板
- 2 フィールド絶縁膜
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 絶縁膜
- 6 サイドウォール絶縁膜
- 7 半導体領域
- 8 絶縁膜
- 9 基体
- 10 配線層
- 11 層間絶縁膜
- 12 絶縁膜
- 13 フォトリソグ膜
- 14 スルーホール
- 15 配線層

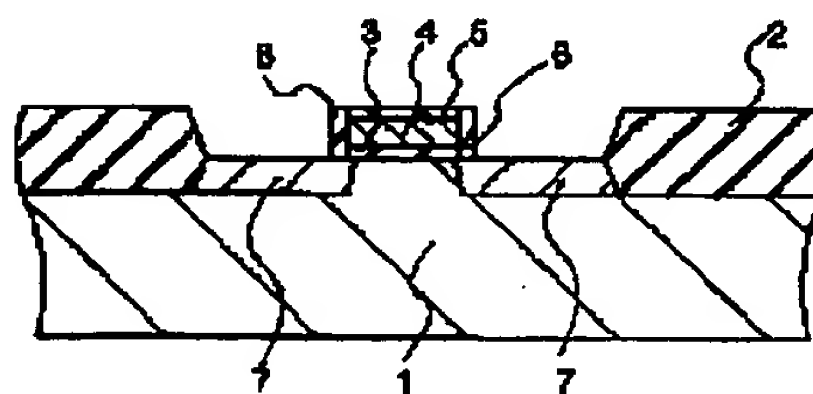
【図1】

図 1

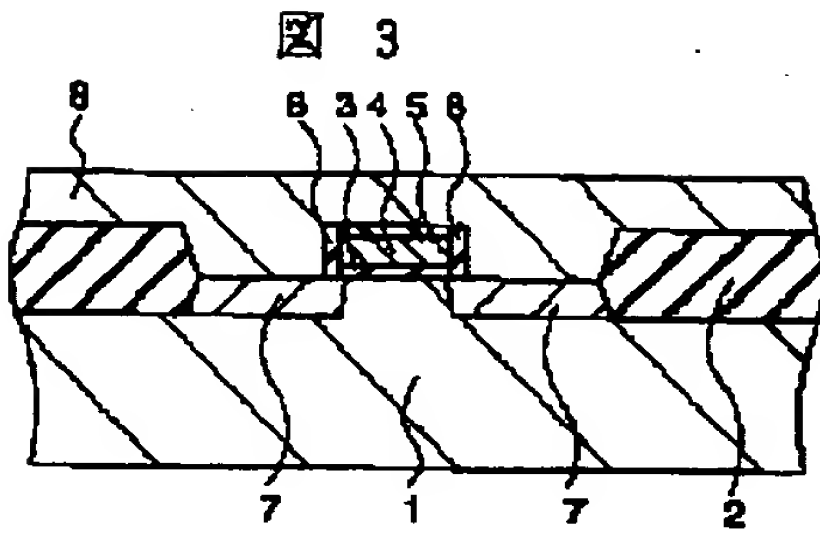


【図2】

図 2

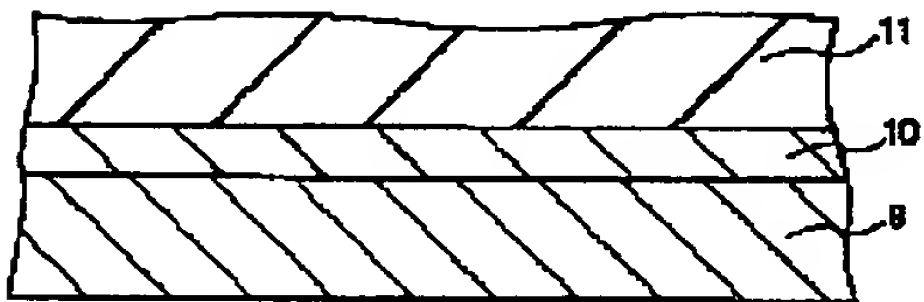


【図3】



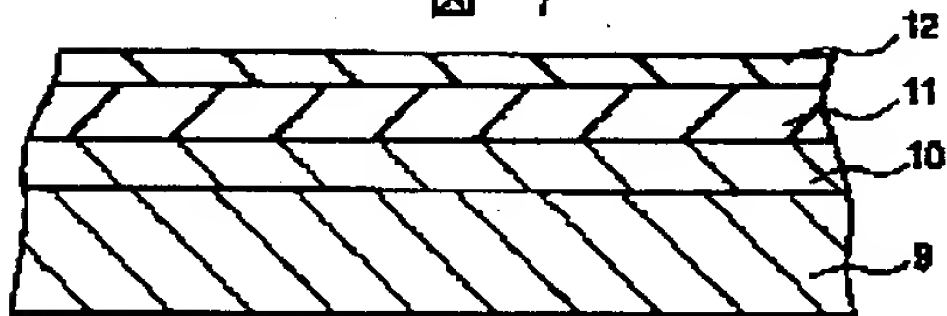
【図5】

図 5



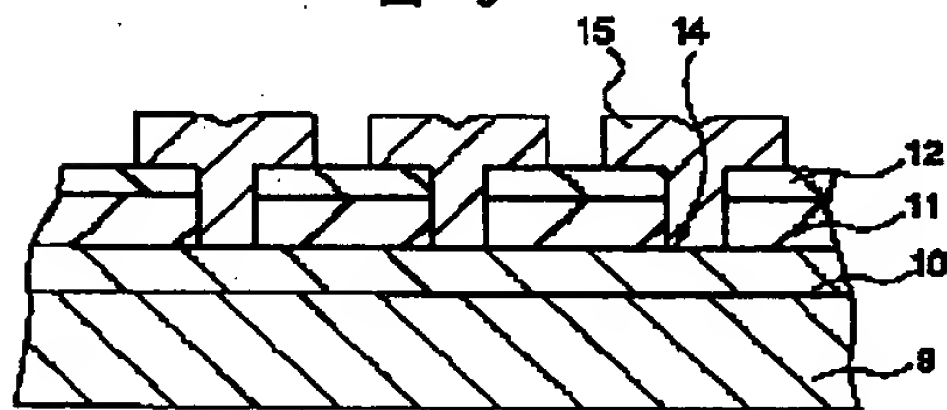
【図7】

図 7



【図9】

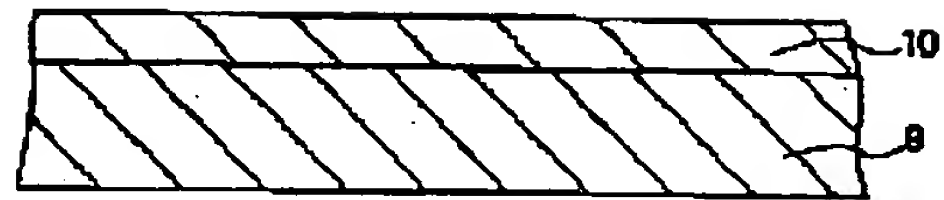
図 9



9: 基体  
11: 密封部  
12: 固定部  
14: スルーホール  
15: 配線層

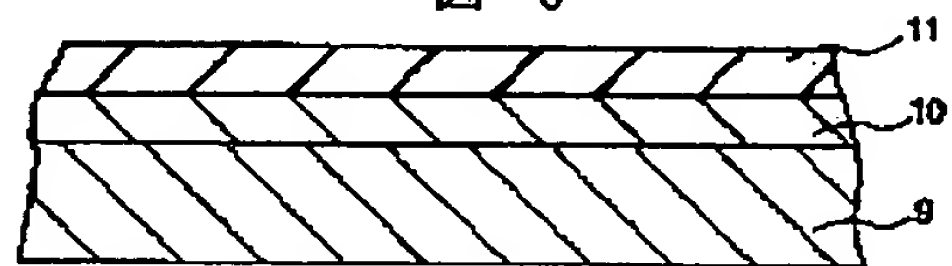
【図4】

図 4



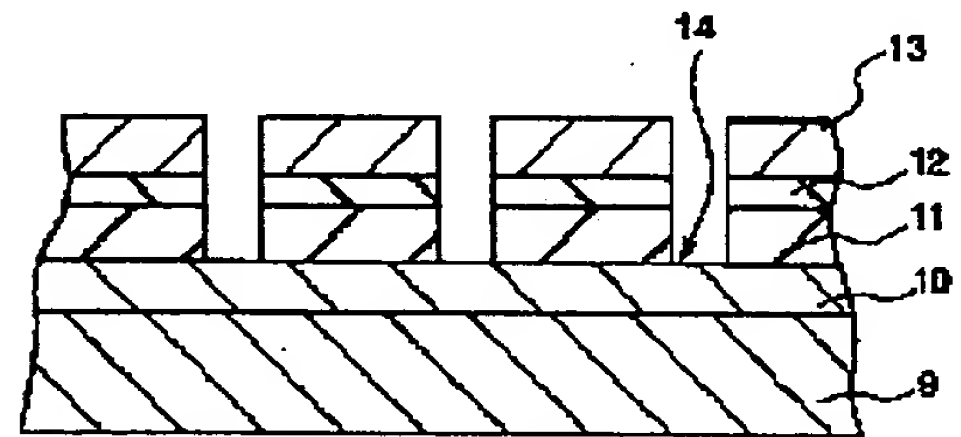
【図6】

図 6



【図8】

図 8





フロントページの続き

(72)発明者 伊藤 秀文  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内